

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63071705 A**(43) Date of publication of application: **01.04.88**

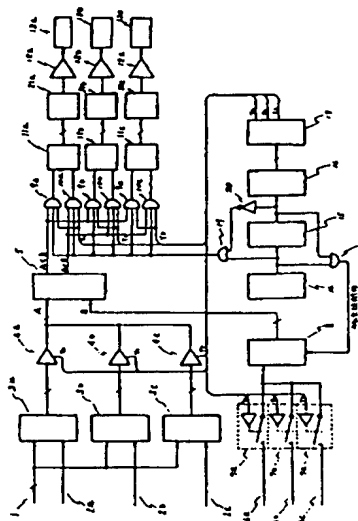
(51) Int. Cl. **G05D 3/00**
G05D 3/12
H01L 41/08
H02N 2/00

(21) Application number: **61215732**(71) Applicant: **HITACHI LTD**(22) Date of filing: **16.09.86**(72) Inventor: **TANIMOTO TETSUZO****(54) PIEZO-ELEMENT DRIVING CIRCUIT****(57) Abstract:**

PURPOSE: To use a circuit as an input circuit of the current value and a comparator circuit, which compares the current value and a target value with each other, by controlling plural piezo-elements in time division.

CONSTITUTION: Target values are given to storage circuits 3h(h=a, b, and c) correspondingly to piezo-elements 13h, and a 1/2 frequency dividing circuit 15 divides the frequency of a pulse train by 1/2. The frequency-divided pulse train is counted by a counter 16 in the following stage, and the counter 16 is operated as an m-notation counter where (m) is equal to or larger than the number (n) of piezo-elements. For example, a tertiary counter is used as the counter 16 in accordance with the number of piezo-elements 13h, and the counter 16 receives the pulse train from the 1/2 frequency dividing circuit 15 to repeat counting of 0→1→2. A decoder 17 decodes the counted value of the counter 16 and outputs Y_0 , Y_1 , and Y_2 as '1' for counted value '0', '1', and '2' respectively. That is, Y_0 , Y_1 , and Y_2 are repeatedly outputted according as the counted value of the counter 16 is changed to 0→1→2. Decoder outputs Y_0 , Y_1 , and Y_2 are connected to command inputs of analog switches, one-side inputs of AND gates 9h and 10h, and input control circuits 4h of target values.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 公開特許公報(A)

昭63-71705

⑬ Int. Cl.⁴G 05 D 3/00
3/12
H 01 L 41/08
H 02 N 2/00

識別記号

3 0 5

庁内整理番号

G-7623-5H
Z-7623-5H
C-7131-5F
8325-5H

⑭ 公開 昭和63年(1988)4月1日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ピエゾ素子駆動回路

⑯ 特 願 昭61-215732

⑰ 出 願 昭61(1986)9月16日

⑱ 発 明 者 谷 本 哲 三 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

ピエゾ素子駆動回路

2 特許請求の範囲

- 1 複数のピエゾ素子を閉ループで駆動する制御系において、個々のピエゾ素子に対応して目標位置を記憶する記憶手段とこの記憶手段に記憶された目標値のうちの1つだけを取り出す選択手段と、個々のピエゾ素子の変位を測定する測定器から得られる個々の現在位置のうち1つだけを選択し入力する入力手段と、上記1つだけの目標位置と1つだけの現在位置の大小関係を判定する1個の比較手段と、この比較手段の判定出力に応じて逆計数可能なピエゾ素子と対応する計数手段と、この計数手段の計数入力を選択する選択手段と、パルス列を発生するクロック発生器と、このパルス列をピエゾ素子の数以上の周期で計数する計数手段と、この計数手段の計数出力をデコードし上記入力手段と上記2種類の選択手段に信号を割り当てるデコード

手段を設けたことを特徴とするピエゾ素子駆動回路。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、ピエゾ素子を閉ループで駆動する制御系に係り、複数のピエゾ素子を駆動するピエゾ素子駆動回路に関する。

(従来の技術)

ピエゾ素子とは電圧を圧力(すなわち変位)に変換する素子のことである。利用する電圧は高圧であるため、ピエゾ素子1個をデジタル的に閉ループで制御するには一般的に第3図のような回路が用いられる。第3図の動作を説明すると次の通りである。記憶回路3aに記憶された目標値1と現在値6aが比較回路5で大小比較される。現在値6aがアナログ値であればA/D変換器8でデジタル値に変換される。クロック発生器14からはパルス列が送出されており、このパルス列は比較回路5の大小判定出力に応じ、アンドゲート30,31により次段のアップダウンカウンタ11a(以後U/D

カウンタと略す)のアップ入力とダウン入力に分配される。例えば、目標値1が現在値6より大きい($A > B$)ときは、アンドゲート30を開放とし、U/Dカウンタ11のアップ入力にパルスを入力して計数値を大きくしてゆく。一方、目標値1が現在値6より小さい($A < B$)ときは、アンドゲート31を開放とし、U/Dカウンタ11の計数値を小さくしてゆく。U/Dカウンタ11の出力(計数値)は次段のD/A変換器21でアナログ値に変換され更に次段の増幅器12に入力される。増幅器12はピエゾ素子13を駆動するに足る電圧にD/A変換器21の出力を増幅する。ピエゾ素子13はクロック発生器14から出されるパルス列の周期に同期してU/Dカウンタ11の計数内容の大小に応じて変位を変えてゆき、そのうちに現在値6は目標値1に達する($A = B$)。このとき、比較回路5からは上記のような信号が出力されず、アンドゲート30, 31はともに閉状態となるのでU/Dカウンタ11の動作は停止し、ピエゾ素子13の動作も停止する。このような回路動作を絶えず続

れておらず、回路が煩雑でコストアップにつながるという問題があった。

本発明の目的はより少ない回路で複数個のピエゾ素子を閉ループで制御するピエゾ素子駆動回路を提供することにある。

(問題点を解決するための手段)

ピエゾ素子の応答性は原理的に遅く速いもので数ms程度で、複数個のピエゾ素子個々に独立した駆動制御回路を設けたとしてもピエゾ素子の応答速度より速く制御することは不可能である。従って、目標位置の設定から目標位置に達するまでの時間(タイムラグ)を利用しこの時間内で時分割で(時系列に)順序よく現在値と目標値を取り出し、これらを比較回路で大小比較してはその都度目標位置に近づけてゆく方策をとれば、上記した従来回路と同じ効果が得られ上述した目的は達成できる。

(作用)

上記方策によれば、全てのピエゾ素子についてその現在位置データと目標位置データを時分割で

けておけば、現在値6が目標値1に一致するよりピエゾ素子13の変位を制御できる。

一方、第4図はアナログ的にピエゾ素子を制御する従来例である。目標値1をD/A変換器32によりアナログ値に変換し、目標値1と現在値6が等しくなるよう差動増幅器33を動かして、ピエゾ素子13を制御するものである。

上記は1個のピエゾ素子を制御する従来方法について述べたものであるが、複数個のピエゾ素子を制御する場合も、第3図あるいは第4図に示す回路をそのまま複数個用いていた。このような方法によると回路が膨大となり、特に現在値をA/D変換器で処理するとなればコストも非常に高くなる。

なお、この種の回路として関連するものには例えば特開昭60-111901号が挙げられるが、これもやはり1つの駆動系を制御するものであり、複数の駆動系を制御する方法は述べられていない。(発明が解決しようとする問題点)

上記従来技術は回路の簡略化の点で配慮がなさ

処理できるので、少なくとも現在位置データを入力する手段と、現在位置データと目標位置データを比較する比較回路は共用化でき回路の簡略化が図れる。

(実施例)

以下、本発明の一実施例を第1図と第2図により説明する。第1図は構成を示す図、第2図は第1図の主要部の入出力波形を示す図である。第1図において1は目標値を示すデジタル信号、3a~3cはそれぞれピエゾ素子13a~13cに目標値を与える記憶回路で、ここでは説明の便宜上ピエゾ素子の数を3個としてある。2a~2cそれぞれは記憶回路3a~3cに目標値を書き込むタイミング信号、4a~4cはそれぞれ記憶回路3a~3cの内容を次段の比較回路5に送り出すための入力制御回路、6a~6cはそれぞれピエゾ素子13a~13cの変位を測定する測定器から送出される変位データ(現在値)で、ここではアナログ値としてある。7a~7cはアナログスイッチ、8は現在値をデジタル化するA/D変換器、11a~11cはアップダウ

ン(U/D)カウンタ、9^a~9^cはそれぞれU/Dカウンタ11^a~11^cのダウン入力を開閉するアンドゲート、10^a~10^cはアップ入力を開閉するアンドゲート、21^a~21^cはD/A変換器、12^a~12^cは増幅器、14はクロック発生器、15は $\frac{1}{2}$ 分周回路、16はカウンタ、17はカウンタ16の計数内容をデコードするデコーダ、18、19はアンドゲート、20は反転回路である。なお、上記構成要素を示す番号の添字^a、^b、^cは全てピエゾ素子13^a、13^b、13^cにおける添字^a、^b、^cに対応している。

次に第1図、第2図により本発明の動作を詳述する。まず、記憶回路3^a(4^a=^a、^b、^c以下同様)にピエゾ素子13^aに対応して目標値が与えられる。これは目標値1のデータを変化させながら書き込みタイミング信号2^aを入力することで行なわれる。一方クロック発生回路14からはパルス列が出力されており、 $\frac{1}{2}$ 分周回路15は上記パルス列の周波数を $\frac{1}{2}$ に分周する。分周後のパルス列は次段のカウンタ16で計数される。カウンタ16はピエゾ素子

回路5の一方の入力Aに導く。

- (3) U/Dカウンタ11^aが動作するようにアンドゲート9^a、10^aを開放状態とする。

ここで上記の添字^aは $n=0$ のとき^a=^a、 $n=1$ のとき^a=^b、 $n=2$ のとき^a=^cという具合に対応する。(以下同様)

さて、A/D変換器8によつて現在値6^aをデジタル値に変換するタイミングであるが、これにはデコーダ17の出力 Y^n の出力期間内に含まれる2個のクロックのうち最初のクロックをアンドゲート18で取出し、このクロックの後縁を利用する。こうすれば、パルス分のクロックの出力時間内に現在値データ6^aを確実にA/D変換器8に入力できるので確実なデジタル変換が可能となる。このようにしてA/D変換された現在値6^aは比較回路5のもう一方の入力Bに入力される。この時点では既に比較回路5の他方の入力Aには目標値2^aが入力されているので比較結果($A < B$ あるいは $A > B$)がアンドゲート9^a、10^aに入力される。一方アンドゲート19は反転回路20の作用によつ

の数を n とすると m ($\geq n$)進カウンタとして動作するようにしてある。本実施例では説明上ピエゾ素子13^aの致に合わせて3進カウンタとしている。すなわちカウンタ16は $\frac{1}{2}$ 分周回路15よりのパルス列を受けて $0 \rightarrow 1 \rightarrow 2$ の計数を繰り返す。デコーダ17はカウンタ16の計数値をデコードするもので、計数値が0であれば Y_0 、1であれば Y_1 、2であれば Y_2 を"1"として出力する。すなわちカウンタ16の計数の変化 $0 \rightarrow 1 \rightarrow 2$ に伴い $Y_0 \rightarrow Y_1 \rightarrow Y_2$ の出力を繰返す。このデコーダ出力 Y_0 、 Y_1 、 Y_2 はそれぞれアナログスイッチ7^aの指令入力とアンドゲート9^aと10^a一つの入力と、目標値の入力制御回路4^aにつながれており、これらの回路は Y^n ($n=0, 1, 2$)の出力期間中は次のように動作する。

- (1) アナログスイッチ7^aのスイッチを閉じてピエゾ素子13^aの変位値(現在値)6^aをA/D変換器8に導く。
- (2) 記憶回路3^aに記憶されている目標値2^aを入力制御回路4^aを選択することにより比較

てデコーダ17の出力 Y^n の出力期間内に含まれる2個のクロックのうち最後のクロックを取り出し上記比較回路51による比較結果に基づいて $A < B$ なるときはゲート9^aを通過させてU/Dカウンタ11^aをカウントダウンさせ、 $A > B$ なるときは10^aを通過させてカウントアップさせる。U/Dカウンタ11^aの計数出力はピエゾ素子13^aの変位データとなっており次段のD/A変換器21^a、増幅器12^aを通じてピエゾ素子13^aを駆動する。すなわち、目標値2^aと現在値6^aを比較し、比較結果に基づいてU/Dカウンタ11^aの内容(ピエゾ素子13^aの変位6^a)を加減して現在値6^aを目標値2^aに近づけてゆく。現在値6^aが目標値2^aに達するとU/Dカウンタ5からは $A > B$ あるいは $A < B$ の出力が生じないのでピエゾ素子13^aは安定状態(位置決め終了の状態)となる。第2図の下部にデータの突進の模様を示してある。図中 T 、 $T+1$ 、……はあるサイクルでのデータを示すものでタイクリックにかつ時分組で(時系列に)3個のピエゾ素子(U/Dカウンタの内

客)が制御されてゆくことがわかる。

上記実施例では、説明上3個のピエゾ素子の駆動について述べたが、これ以外の複数個のピエゾ素子の駆動にはデコーダ17をピエゾ素子の数に見合うデコード出力を持つデコーダに僅換え記憶回路34、アナログスイッチ7a、入力制御回路44アンドゲート94、104の部分でピエゾ素子の数に等しい数となるよう増設すればよい。更に、記憶回路34を1つにまとめてRAM等とメモリとしデコーダ17の出力あるいはカウンタ16の出力をアドレス情報としてメモリに入力する方法をとれば、メモリよりの出力ラインの数は1データ分であり更に回路の簡略化が可能となる。

又、ピエゾ素子の応答速度と処理時間との関係であるが、 \bar{U}/D カウンタの内容が変化する周期がちょうどピエゾ素子の対応速度に等しくなるようクロック発生器の出力周波数を設定しておけば最高速度で複数のピエゾ素子を制御できる。

(発明の効果)

14…クロック発生器

16…カウンタ

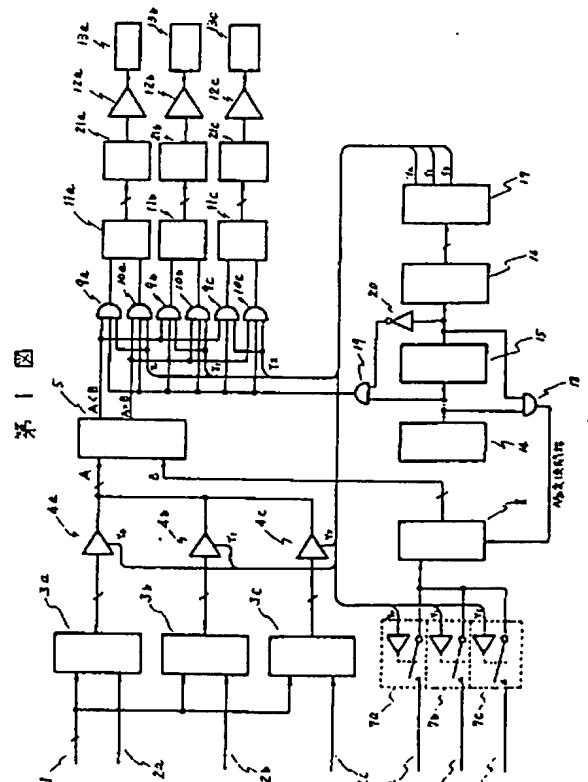
17…デコーダ。

以上説明したように本発明によれば、ピエゾ素子の応答速度を利用して時分割に複数個のピエゾ素子を制御できるので、現在値の入力回路(現在値信号がアナログ値であればA/D変換器も含む)と、現在値と目標値を比較する比較回路の共用化を図れるので回路の簡略化が実現できる。更に、目標値を記憶する素子をアドレス入力を持つRAM等とすれば、一層回路の簡略化が可能である。

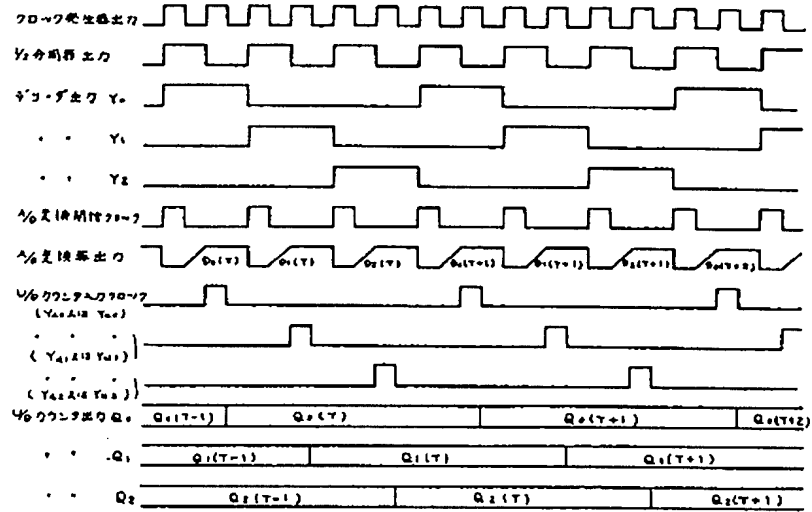
4. 図面の簡単な説明

第1図は本発明の一実施例を示す構成図、第2図は第1図の主要部の入出力波形を示すタイムチャート、第3図、第4図は従来技術を示す構成図である。

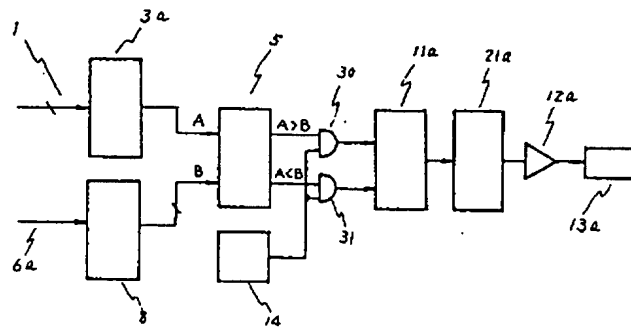
- | | |
|---------------|---------------------------|
| 3a~3c…記憶回路、 | 4a~4c…入力制御回路 |
| 5…比較回路 | 7a~7c…アナログスイッチ |
| 8…A/D変換器 | 11a~11c… \bar{U}/D カウンタ |
| 13a~13c…ピエゾ素子 | |



第 2 図



第 3 図



第 4 図

